

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-023140

(43)Date of publication of application : 24.01.2003

(51)Int.Cl.

H01L 27/105
H01L 21/316
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 2002-084172

(71)Applicant : SHARP CORP

(22)Date of filing : 25.03.2002

(72)Inventor : ZHANG FENGYAN
MA YANJUN
MAA JER-SHEN
ZHUANG WEI WEI
SHIEN TEN SUU

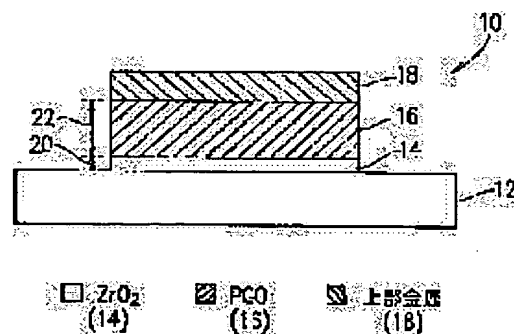
(30)Priority

Priority number : 2001 820022 Priority date : 28.03.2001 Priority country : US

(54) SINGLE C-AXIS PGO THIN FILM ON ZrO₂ FOR NONVOLATILE MEMORY AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To realize MFIS transistor structure containing a PGO ferroelectric film.

SOLUTION: The MFIS transistor structure is provided with a semiconductor substrate 12 like a silicon substrate, a layer of an insulating film 14 like ZrO₂ which is arranged on the semiconductor substrate 12, and a ferroelectric layer 16 which is a single phase (c) axis Pb₅Ge₃O₁₁ (PGO) film arranged on the layer of the insulating film 14. By this structure, superior characteristic can be obtained in high frequency capacitance-voltage(CV) measurement and leakage current (I-V) measurement.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-23140

(P2003-23140A)

(43) 公開日 平成15年1月24日 (2003.1.24)

(51) Int.Cl. ⁷	識別記号	F I	テームコード (参考)
H 0 1 L 27/105		H 0 1 L 21/316	X 5 F 0 5 8
21/316		27/10	4 4 4 A 5 F 0 8 3
21/8247		29/78	3 7 1 5 F 1 0 1
29/788			
29/792			

審査請求 未請求 請求項の数20 O L (全 7 頁)

(21) 出願番号 特願2002-84172 (P2002-84172)
(22) 出願日 平成14年3月25日 (2002.3.25)
(31) 優先権主張番号 09/820, 022
(32) 優先日 平成13年3月28日 (2001.3.28)
(33) 優先権主張国 米国 (US)

(71) 出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町2番22号
(72) 発明者 フェンヤン ツアン
アメリカ合衆国 ワシントン 98683,
バンクーバー, エスイー 32エヌディー
ストリート 16804
(74) 代理人 100078282
弁理士 山本 秀策

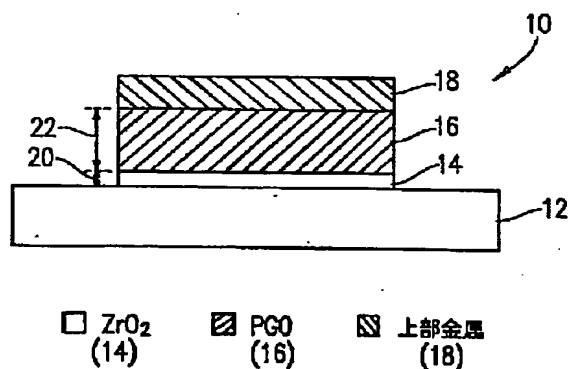
最終頁に続く

(54) 【発明の名称】 不揮発性メモリ用途のためのZrO₂上の単一c軸PGO薄膜およびその製造方法

(57) 【要約】

【課題】 PGO強誘電体膜を含むMFISトランジスタ構造を実現する。

【解決手段】 シリコン基板のような半導体基板12と、その半導体基板12上に配置されたZrO₂のような絶縁膜14の層と、絶縁膜14の層上に配置された単一相のc軸Pb₅Ge₃O₁₁ (PGO) 膜である強誘電体層16とを有する。このような構造により、高周波キャパシタンス-電圧 (CV) 測定およびリーク電流 (I-V) 測定において、良好な特性が得られる。



【特許請求の範囲】

【請求項 1】 半導体と、

該半導体上に配置された絶縁材料の層と、
該絶縁材料の層上に配置された PGO の層と、を含む、
金属強誘電体絶縁体半導体電界効果トランジスタ。

【請求項 2】 前記絶縁材料が、酸化ジルコニウム (ZrO_2)、酸化ハフニウム (HfO_2)、ジルコニウムのケイ酸塩、ハフニウムのケイ酸塩、酸化アルミニウム、酸化イットリウム、酸化カルシウム、酸化ランタン、酸化チタン (TiO_2)、酸化タンタル (TaO_5)、ドーブされた ZrO_2 、ドーブされた HfO_2 、 $Zr-Al-O$ 、 $Hf-Al-O$ 、 $Zr-Ti-O$ 、 $Hf-Ti-O$ 、 $La-Al-O$ 、およびこれらの組合せからなる群から選択される、請求項 1 に記載の金属強誘電体絶縁体半導体電界効果トランジスタ。

【請求項 3】 前記 PGO の層上に配置された上部電極層をさらに備える金属強誘電体絶縁体半導体電界効果トランジスタであって、該上部電極層は、白金 (Pt)、イリジウム (Ir)、タンタル (Ta)、ルテニウム (Ru)、導電性酸化物、および導電性合金からなる群から選択された材料から製造される、請求項 1 に記載の金属強誘電体絶縁体半導体電界効果トランジスタ。

【請求項 4】 前記 PGO の層は、該 PGO の層の少なくとも 70% にわたって c 軸配向を有する単一相を含む、請求項 1 に記載の金属強誘電体絶縁体半導体電界効果トランジスタ。

【請求項 5】 前記金属強誘電体絶縁体半導体電界効果トランジスタが、0.1~3.0 ボルトの範囲のメモリウィンドウを有する、請求項 3 に記載の金属強誘電体絶縁体半導体電界効果トランジスタ。

【請求項 6】 前記半導体が、ソース領域およびドレイン領域を含む、請求項 3 に記載の金属強誘電体絶縁体半導体電界効果トランジスタ。

【請求項 7】 前記 PGO の層が、少なくとも 80% の単一相、c 軸配向を有する、請求項 1 に記載の金属強誘電体絶縁体半導体電界効果トランジスタ。

【請求項 8】 基板と、
該基板上に配置された酸化ジルコニウムの層と、
該酸化ジルコニウムの層上に配置された、実質的に単一相の c 軸配向 PGO の強誘電体層と、を含む、薄膜半導体構造。

【請求項 9】 前記薄膜半導体構造は、トランジスタ、キャパシタ、焦電性赤外線センサ、光学ディスプレイ、光学スイッチ、圧電変換器、および表面弾性波デバイスからなる群から選択される、請求項 8 に記載の薄膜半導体構造。

【請求項 10】 前記基板がシリコンを含む、請求項 8 に記載の薄膜半導体構造。

【請求項 11】 前記薄膜半導体構造が、不揮発性メモリデバイスである、請求項 8 に記載の薄膜半導体構造。

【請求項 12】 前記強誘電体層上に配置された電極をさらに含む、請求項 8 に記載の薄膜半導体構造。

【請求項 13】 前記強誘電体層の厚さが少なくとも 100 オングストロームである、請求項 8 に記載の薄膜半導体構造。

【請求項 14】 前記酸化ジルコニウムの層および前記強誘電体層が、リーク電流を規定し、該リーク電流は、 $100\text{KV}/\text{cm}$ で $1 \times 10^{-6}\text{A}/\text{cm}^2$ 未満である、請求項 12 に記載の薄膜半導体構造。

【請求項 15】 不揮発性メモリデバイスにおいて用いるために、実質的に単一相の c 軸 PGO 薄膜を絶縁体の上に作製する方法であって、
半導体基板を設ける工程と、
該半導体基板上に絶縁膜を堆積する工程と、
該絶縁膜上に PGO 膜を堆積する工程であって、該 PGO 膜が、実質的に単一相の c 軸配向膜を含む、工程と、
を包含する、方法。

【請求項 16】 前記 PGO 膜上に金属ゲート電極を堆積する工程をさらに包含する、請求項 15 に記載の方法。

【請求項 17】 前記半導体基板がシリコンを含み、前記絶縁膜が、酸化ジルコニウム (ZrO_2)、酸化ハフニウム (HfO_2)、ジルコニウムのケイ酸塩、ハフニウムのケイ酸塩、酸化アルミニウム、酸化イットリウム、酸化カルシウム、酸化ランタン、酸化チタン (TiO_2)、酸化タンタル (TaO_5)、ドーブされた ZrO_2 、ドーブされた HfO_2 、 $Zr-Al-O$ 、 $Hf-Al-O$ 、 $Zr-Ti-O$ 、 $Hf-Ti-O$ 、 $La-Al-O$ 、およびこれらの組合せからなる群から選択される、請求項 15 に記載の方法。

【請求項 18】 前記絶縁膜を堆積する工程が、物理的气相成長 (PVD)、蒸着および酸化、化学的气相成長 (CVD)、ならびに原子層成長からなる群から選択される堆積方法を含む、請求項 15 に記載の方法。

【請求項 19】 前記 PGO 膜を堆積する工程が、スパインオン、物理的气相成長、CVD、有機金属 CVD (MOCVD)、化学溶液成長 (CSD)、およびレーザアブレーションからなる群から選択される堆積方法を含む、請求項 15 に記載の方法。

【請求項 20】 前記金属ゲート電極は、白金 (Pt)、イリジウム (Ir)、タンタル (Ta)、ルテニウム (Ru)、導電性酸化物、および導電性合金からなる群から選択される材料を含む、請求項 16 に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、不揮発性メモリ用途のための絶縁層上の単一 c 軸の酸化ゲルマニウム鉛 (PGO) 薄膜、およびその製造方法、より具体的には、強誘電性ランダムアクセスメモリ (FeRAM) お

よびダイナミックランダムアクセスメモリ (DRAM) 用途のための酸化ジルコニウム (ZrO_2) 絶縁体上 PGO 薄膜に関する。

【0002】

【従来技術】酸化ゲルマニウム鉛 (PGO または $Pb_5Ge_3O_{11}$) は、周知の強誘電性材料である。純粋な c 軸配向 PGO 薄膜は、イリジウム (Ir)、白金 (Pt)、白金/イリジウム (Pt/Ir)、およびイリジウム-タンタル-酸素 (Ir-Ta-O) 導電性電極の上10 に成長することができていた。これらの構造は、金属強誘電体金属酸化物半導体 (MF MOS) 単一トランジスタメモリ用途のために用いられ得る。

【0003】また、強誘電性デバイスは、 $SrBi_2Ta_2O_9$ (SBT) を用いて製造されていた。多結晶構造を有し、強誘電性を示す、強誘電性材料 SBT とは異なり、PGO は、c 軸に配向される場合にのみ強誘電性を示す。しかし、PGO 膜が、通常、アモルファスまたは多結晶構造を示すので、絶縁体上に単一相、c 軸 PGO 膜を成長させることはより困難である。

【0004】

【発明が解決しようとする課題】金属強誘電体半導体電界効果トランジスタ (MFSFET) は、MF MOS の魅力的な代替品である。しかし、PGO 膜とシリコンとの間の強い相互作用が、PGO 強誘電体層を用いるこのようなデバイスの製造を妨げる。金属強誘電体絶縁体半導体電界効果トランジスタ (MSISFET) も、その構造が MF MOS 構造より単純なので、研究されてきた。しかし、今までは、PGO 強誘電体層を含む MSISFET デバイスの製造用の良好な絶縁膜が見つからなかった。従って、PGO 強誘電体層を有する MSISFET デバイスの製造を可能にする良好な絶縁膜を見つける必要がある。

【0005】従って、本発明の目的は、PGO 強誘電体膜を含む MFIS トランジスタ構造を提供することである。

【0006】本発明の他の目的は、 ZrO_2 絶縁膜を含む MFIS トランジスタ構造を提供することである。

【0007】本発明のさらなる目的は、絶縁層上に PGO 強誘電体層を含む MFIS トランジスタ構造を提供することである。

【0008】

【課題を解決するための手段】本発明の金属強誘電体絶縁体半導体電界効果トランジスタは、半導体と、該半導体上に配置された絶縁材料の層と、該絶縁材料の層上に配置された PGO の層と、を含む。

【0009】前記絶縁材料が、酸化ジルコニウム (ZrO_2)、酸化ハフニウム (HfO_2)、ジルコニウムのケイ酸塩、ハフニウムのケイ酸塩、酸化アルミニウム、酸化イットリウム、酸化カルシウム、酸化ランタン、酸化チタン (TiO_2)、酸化タンタル (TaO_5)、ドーブ20

された ZrO_2 、ドーブされた HfO_2 、 $Zr-Al-O$ 、 $Hf-Al-O$ 、 $Zr-Ti-O$ 、 $Hf-Ti-O$ 、 $La-Al-O$ 、およびこれらの組合せからなる群から選択される。

【0010】前記 PGO の層上に配置された上部電極層をさらに備える金属強誘電体絶縁体半導体電界効果トランジスタであって、該上部電極層は、白金 (Pt)、イリジウム (Ir)、タンタル (Ta)、ルテニウム (Ru)、導電性酸化物、および導電性合金からなる群から20 選択された材料から製造される。

【0011】前記 PGO の層は、該 PGO の層の少なくとも 70% にわたって c 軸配向を有する単一相を含む。

【0012】前記金属強誘電体絶縁体半導体電界効果トランジスタが、0.1~3.0 ボルトの範囲のメモリウィンドウを有する。

【0013】前記半導体が、ソース領域およびドレイン領域を含む。

【0014】前記 PGO の層が、少なくとも 80% の単一相、c 軸配向を有する。

20 【0015】本発明の薄膜半導体構造は、基板と、該基板上に配置された酸化ジルコニウムの層と、該酸化ジルコニウムの層上に配置された、実質的に単一相の c 軸配向 PGO の強誘電体層と、を含む。

【0016】前記薄膜半導体構造は、トランジスタ、キャパシタ、焦電性赤外線センサ、光学ディスプレイ、光学スイッチ、圧電変換器、および表面弾性波デバイスからなる群から選択される。

【0017】前記基板がシリコンを含む。

30 【0018】前記薄膜半導体構造が、不揮発性メモリデバイスである。

【0019】前記強誘電体層上に配置された電極をさらに含む。

【0020】前記強誘電体層の厚さが少なくとも 100 オングストロームである。

【0021】前記酸化ジルコニウムの層および前記強誘電体層が、リーク電流を規定し、該リーク電流は、100 KV/cm で 1×10^{-6} A/cm² 未満である。

40 【0022】本発明の金属強誘電体絶縁体半導体電界効果トランジスタの製造方法は、不揮発性メモリデバイスにおいて用いるために、実質的に単一相の c 軸 PGO 薄膜を絶縁体の上に作製する方法であって、半導体基板を設ける工程と、該半導体基板上に絶縁膜を堆積する工程と、該絶縁膜上に PGO 膜を堆積する工程であって、該 PGO 膜が、実質的に単一相の c 軸配向膜を含む、工程と、を包含する。

【0023】前記 PGO 膜上に金属ゲート電極を堆積する工程をさらに包含する。

【0024】前記半導体基板がシリコンを含み、前記絶縁膜が、酸化ジルコニウム (ZrO_2)、酸化ハフニウム (HfO_2)、ジルコニウムのケイ酸塩、ハフニウム

のケイ酸塩、酸化アルミニウム、酸化イットリウム、酸化カルシウム、酸化ランタン、酸化チタン (TiO_2)、酸化タンタル (TaO_5)、ドーパされた ZrO_2 、ドーパされた HfO_2 、 $Zr-Al-O$ 、 $Hf-Al-O$ 、 $Zr-Ti-O$ 、 $Hf-Ti-O$ 、 $La-Al-O$ 、およびこれらの組合せからなる群から選択される。

【0025】前記絶縁膜を堆積する工程が、物理的気相成長 (PVD)、蒸着および酸化、化学的気相成長 (CVD)、ならびに原子層成長からなる群から選択される堆積方法を含む。

【0026】前記 PGO 膜を堆積する工程が、スピノン、物理的気相成長、CVD、有機金属 CVD (MOCVD)、化学溶液成長 (CSD)、およびレーザアブレーションからなる群から選択される堆積方法を含む。

【0027】前記金属ゲート電極は、白金 (Pt)、イリジウム (Ir)、タンタル (Ta)、ルテニウム (Ru)、導電性酸化物、および導電性合金からなる群から選択される材料を含む。

【0028】本発明は、金属強誘電体絶縁体半導体単一トランジスタ揮発性メモリ用途のために、 ZrO_2 のような絶縁体の上の単一相 c 軸 PGO 膜を含む新たな薄膜構造を含む。この絶縁体上 PGO 構造は、キャパシタ、焦電性赤外線センサ、光学ディスプレイ、光学スイッチ、圧電変換器、表面弾性波デバイスにおいても用いられ得る。

【0029】

【発明の実施の形態】次に、図面を参照すると、図1には、本発明のデバイスの模式図が示されている。デバイス10は、シリコン基板のような半導体基板12を含む。 ZrO_2 のような絶縁膜14は、半導体基板12上に配置される。強誘電体層16は、すなわち、実質的に単一相の c 軸 $Pb_5Ge_3O_{11}$ (PGO) 膜は、絶縁膜14上に配置される。金属上部電極18は、PGO膜16上に配置される。

【0030】このような構造を用意する典型的な方法は、以下の工程を含み得る。第1に、半導体基板は、任意の技術レベルの分離およびウェル形成を含むプロセスを用いて用意される。第2に、 ZrO_2 のような絶縁膜が、以下の手段のうちの任意の手段によって堆積される。手段として、物理的気相成長 (PVD)、蒸着および酸化、化学的気相成長 (CVD)、ならびに原子層成長がある。任意の必要な堆積後アニーリングには、摂氏800度までの温度での形成ガスまたは酸素雰囲気におけるアニーリングが含まれ得る。第3に、PGO膜が、以下の方法のうちの任意の方法によって堆積される。方法として、スピノン、物理的気相成長、CVD、有機金属 CVD (MOCVD)、化学溶液成長 (CSD)、およびレーザアブレーション (ablation) がある。第4に、金属ゲート電極は、当該技術分野において公知である任意の手段によって PGO 層上に堆積され

る。第5に、端子および相互接続形成が行われる。

【0031】例えば、以下のデバイスのようなデバイスが製造される。 ZrO_2 は、酸素雰囲気において、ジルコニウムターゲットの反応性スパッタリングによって、きれいなシリコンウェハ上にスパッタされて堆積される。分光楕円偏光法 (エリプリメトリー) によって測定される、フィルム thickness 20 は、135 オングストロームであった。絶縁層の厚さは、通常、少なくとも20 オングストロームより厚い。PGO 薄膜16は、2- (2-エトキシエトキシ) エタノール溶液 ($H(OC_2H_4OC_2H_4OC_2H_5)$) 内で、酢酸鉛 ($Pb(OAc)_2 \cdot 3H_2O$)、およびゲルマニウムイソプロポキシド ($Ge(Opr')_4$) を用いてスピノコーティングされ、深い赤褐色になるまで空気に露出された状態で加熱される。鉛対ゲルマニウムの比 (Pb/Ge) は、5.25/3 である。ベーキング温度は、摂氏約50~350度であり、30~3600秒の間である。各スピノン層の後のアニーリング温度は、摂氏約400~550度であり、30~3600秒の間である。最終的なアニーリング温度は、摂氏約450~600度であり、5分~3時間の間である。PGO層16の厚さ22は、約1600 オングストロームであり、通常、100~5000 オングストロームの範囲内である。堆積された PGO 層の相は、X線回折によって検査される。

【0032】図2は、上記の工程によって製造された ZrO_2 基板上の PGO 膜の X 線回折光線のグラフである。x 軸は、2 倍の θ (度) を表し、y 軸は、1 秒あたりのカウントを表す。グラフは、(001)、(002)、(003)、(004)、(005)、および (006) と数字が付けられたピークによって示されるように、実質的に純粋な c 軸 PGO が ZrO_2 基板上で得られたことを示す。他のピークが観察されず (29 度での最小ピークを除く)、PGO 層と ZrO_2 層との界面で、反応がないことを示すか、または最小限の反応 (29 度で二次相として示される) しか起きないことを示す。

【0033】図3は、Pt/PGO/ ZrO_2 /Si を含む金属強誘電体絶縁体半導体 (MFIS) キャパシタの高周波キャパシタンス-電圧 (CV) 測定グラフである。x 軸は、電圧を示し、y 軸は、キャパシタンスを示す。 ZrO_2 基板上の PGO 薄膜のメモリウィンドウを測定するために、白金 (Pt) 上部電極が、薄いマスクと共に、PGO 表面上に堆積された。上部電極の面積は、約 $4 \times 10^{-4} cm^2$ である。PGO 膜は、約1600 オングストロームの厚さであり、 ZrO_2 層の厚さは、約130 オングストロームの厚さである。C-V 曲線のヒステリシスは、約0.7 ボルトのメモリウィンドウを示す。メモリウィンドウは、通常、0.1~3.0 ボルトの間である。これは、金属強誘電体金属 (MFIM) 構造における1800 オングストロームの PGO 膜

用の1.3ボルトメモリウィンドウより少ない。

【0034】図4は、Pt/PGO(180nm)/Irキャパシタ構造のキャパシタンスー電圧(CV)測定グラフである。示されているメモリウィンドウは、約1.8ボルトである。

【0035】図5は、ZrO₂膜上のPGO膜のリーク電流(I-V)のグラフである。グラフによって示されるように、PGO/ZrO₂構造を流れるリーク電流は、非常に小さく、PGOと、ZrO₂と、シリコン基板との間に良好な界面が維持されていることが示されている。具体的には、リーク電流は、通常、100KV/cm²で、1×10⁻⁶A/cm²未満である。

【0036】図6は、複合PGO/絶縁体層状構造、すなわち、絶縁層上にPGO膜を含む金属強誘電体絶縁体半導体電界効果トランジスタ(MFISFET)の好適な実施形態の模式図である。デバイス30は、ソース領域34およびドレイン領域36を含む、シリコン基板のような半導体基板32を含む。絶縁膜38は、半導体基板32上に配置される。絶縁膜38は、酸化ジルコニウム(ZrO₂)、酸化ハフニウム(HfO₂)、ジルコニウムまたはハフニウムのケイ酸塩、あるいはこれらの混合物を含み得る。絶縁膜38は、酸化アルミニウム、酸化イットリウム、酸化カルシウム、酸化ランタン、酸化チタン(TiO₂)、酸化タンタル(TaO₅)、ドーパされたZrO₂またはドーパされたHfO₂、Zr-Al-O、Hf-Al-O、Zr-Ti-O、Hf-Ti-O、およびLa-Al-O、ならびにこれらの混合物を含み得る。強誘電体層40は、絶縁膜38上に配置された、単一相の、c軸Pb₅Ge₃O₁₁(PGO)膜を含む。強誘電性PGO層は、米国特許登録第6,190,925号に記載の方法によって堆積され得る。米国特許登録第6,190,925号は、2001年2月20日に発行され、Sharp Laboratories of America, Inc.に譲渡され、エピタキシャル成長ゲルマネート鉛膜および堆積方法という名称であり、本明細書中で参考として援用される。上記の特許において開示されたPGO堆積方法を用いることによって、PGO層が、実質的にc軸結晶化配向で、すなわち、70%より多く、ほぼ80%までがc軸配向で、堆積され得る。好適な実施形態において、PGO層は、約90%以上のc軸配向を有し得る。金属上部電極42がPGO膜40上に配置される。金属上部電極は、白金(Pt)、イリジウム(Ir)、タンタル(Ta)、ルテニウム(Ru)、または、導電性酸化物もしくは合金を含み得る。

【0037】図7は、本発明の絶縁体上PGO構造を製造する方法のフローチャートである。工程50は、分離およびウェル形成を含む任意の技術レベルのプロセスを用いて半導体基板を用意する工程を含む。工程52は、以下の手段のうちの任意の手段を用いることによって絶

縁膜を堆積する工程を含む。このような手段として、物理的気相成長(PVD)、蒸着および酸化、化学的気相成長(CVD)、ならびに原子層成長がある。必要な場合、工程54は、摂氏800度までの温度での形成ガスまたは酸素雰囲気における絶縁膜の堆積後のアニーリングの工程を含む。工程56は、以下の方法のうちの任意の方法によって、PGO膜を堆積する工程を含む。このような方法として、スピノオン、物理的気相成長、CVD、有機金属CVD(MOCVD)、化学溶液成長(CSD)、およびレーザアブレーションがある。工程58は、当該技術において公知の任意の手段によって、PGO層上に金属ゲート電極を堆積する工程を含む。工程60は、必要とされる任意の端子および相互接続形成を行う工程を含む。

【0038】従って、不揮発性メモリ用途のための絶縁体上の単一相のc軸PGO薄膜、およびその製造方法が開示されてきた。好ましい構造およびデバイスの製造方法が開示されてきたが、添付の特許請求の範囲によって規定される発明の範囲から逸脱することなく、さらなる変形および改良が加えられ得ることが理解されるべきである。

【0039】

【発明の効果】本発明の金属強誘電体絶縁体半導体電界効果トランジスタは、半導体と、その半導体上に配置された絶縁材料の層と、絶縁材料の層上に配置されたPGOの層とを有することにより、PGO強誘電体膜を含むMFISトランジスタ構造が得られた。

【0040】また、薄膜構造は、金属強誘電体絶縁体半導体単一トランジスタ不揮発性メモリ用途のために用いられる、絶縁体上の実質的に単一相のc軸PGO膜を含む。絶縁体構造上のPGOは、キャパシタ、焦電性赤外線センサ、光学ディスプレイ、光学スイッチ、圧電変換器、表面弾性波デバイスにおいても用いられ得る。好適な実施形態において、PGO膜は、酸化ジルコニウムの絶縁層上に堆積される。

【図面の簡単な説明】

【図1】図1は、本発明の絶縁膜上のPGO強誘電体膜の模式図である。

【図2】図2は、ZrO₂絶縁膜上のPGO膜のX線回折スペクトルのグラフである。

【図3】図3は、Pt/PGO/ZrO₂/Siを含む金属強誘電体絶縁体半導体(MFIS)キャパシタの高周波数キャパシタンスー電圧(CV)測定グラフである。

【図4】図4は、Pt/PGO(180nm)/Irキャパシタ構造のキャパシタンスー電圧(CV)測定グラフである。

【図5】図5は、PGO/ZrO₂膜のリーク電流(I-V)のグラフである。

【図6】図6は、絶縁体構造上にPGO層を含む金属強

誘電体絶縁体半導体電界効果トランジスタの模式図である。

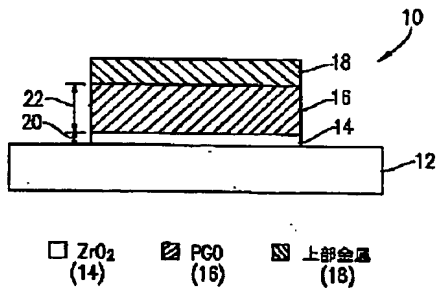
【図7】図7は、本発明の絶縁体上PGO構造を製造する方法のフローチャートである。

【符号の説明】

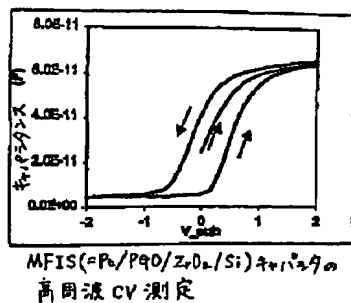
- 10 デバイス
12 半導体基板
14 絶縁膜

- 16 強誘電体層
18 金属上部電極
30 デバイス
34 ソース領域
36 ドレイン領域
38 絶縁膜
40 強誘電体層
42 金属上部電極

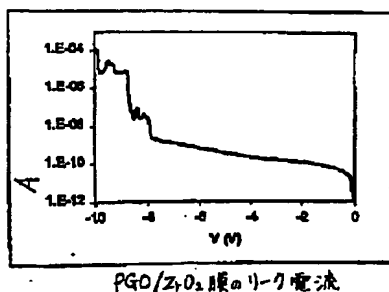
【図1】



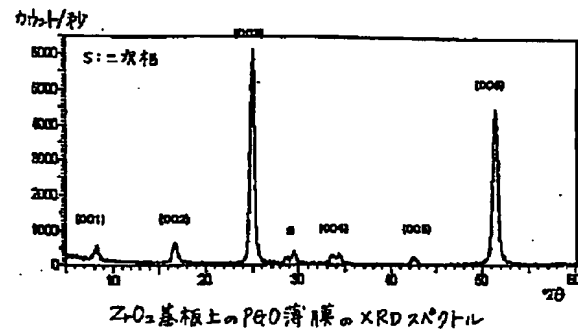
【図3】



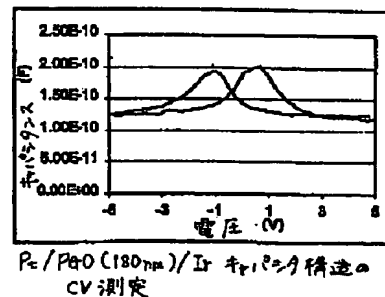
【図5】



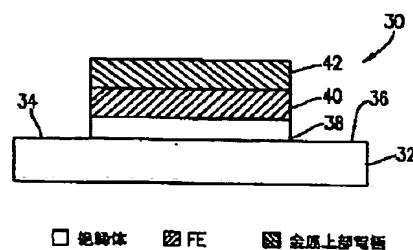
【図2】



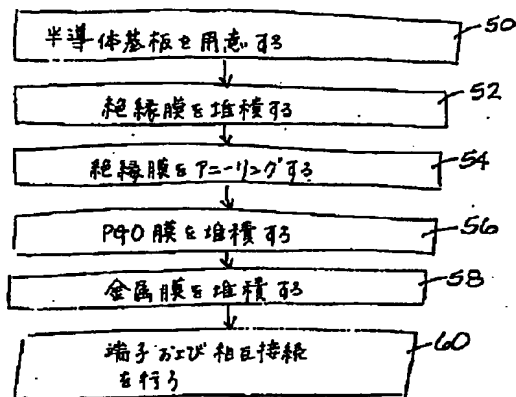
【図4】



【図6】



【図7】



フロントページの続き

(72)発明者 ヤンジュン マ
 アメリカ合衆国 ワシントン 98683,
 バンクーバー, エスイー 24ディーエイ
 チ ウェイ 18311
 (72)発明者 ジャーセン マー
 アメリカ合衆国 ワシントン 98683,
 バンクーバー, エスイー ソロモン ル
 ープ 1511

(72)発明者 ウエイウエイ サン
 アメリカ合衆国 ワシントン 98683,
 バンクーバー, エスイー 18ディーエイ
 チ ストリート 18806
 (72)発明者 シェン テン スー
 アメリカ合衆国 ワシントン 98607,
 ケイマス, エヌダブリュー トラウト
 コート 2216

Fターム(参考) 5F058 BA11 BC03 BF02 BF06 BF11
 BF41 BF46 BJ04
 5F083 FR06 JA02 JA06 JA12 JA38
 JA42 PR21 PR22 PR23 PR33
 5F101 BA62 BB05 BD02 BH01 BH16